



特許願(27)

① 日本国特許庁

# 公開特許公報

特許庁長官殿

昭和 50. 6月13日

発明の名称

ゲート型電界効果半導体装置  
絶縁ゲート型電界効果半導体装置

発明者

東京都港区芝五丁目33番1号

日本電気株式会社  
菊地正典

イノウエヤスカズ  
阿所井上泰一

特許出願人

東京都港区芝五丁目33番1号

(423) 日本電気株式会社

代表者 小林宏治

代理人

〒108 東京都港区芝五丁目33番1号

日本電気株式会社内

(6591) 弁理士 内原 晋  
電話 東京 (03) 454-1111(大代表)

特許願の目録

明細書 1通  
図面 1通  
委任状 1通  
願書副本 1通

特許庁

50. 6. 14

出願第二号

50 071767

明 細 書

発明の名称

絶縁ゲート型電界効果半導体装置

特許請求の範囲

絶縁ゲート型電界効果半導体装置のトランジスタのドレイン又はソースに半導体基体と同一導電型でかつ基体より不純物濃度の高い領域と基板と反対導電型の領域との間に形成されたPN接合を有する絶縁ゲート電界効果型ゲートコントロールダイオードよりなる保護装置を接続したことを特徴とする絶縁ゲート電界効果型半導体装置。

発明の詳細な説明

この発明は絶縁ゲート型電界効果半導体装置の新しい構造を有する保護装置に関する。

一般にMOS電界効果型トランジスタに於いてゲートとソース端子を接地した状態でドレインに電圧を印加した場合、この電圧がMOSトランジスタのドレイン拡散領域と基体間のゲート電極により制御された表面ブレイクダウン耐圧を超えたある値に達するとMOSトランジスタは破壊して

①特開昭 51-147972

④公開日 昭51.(1976)12.18

②特願昭 40-71767

②出願日 昭50.(1975)6.13

審査請求 未請求 (全4頁)

庁内整理番号 6416 57

6426 57

7357 57

6413 57

⑤日本分類

PPH/EJ  
PPH/GO  
PPH/HO  
PPH/AO14

⑥Int.Cl<sup>2</sup>

H01L 29/78  
H01L 29/80  
H01L 27/04  
H01F 1/00

しまりという現象が存在する。この現象は基本的にはNチャネルMOSトランジスタでもPチャネルMOSトランジスタでも存在するが、特にNチャネル型の場合に著しい。またゲート絶縁膜が薄く(たとえば1000オングストローム以下)になるに従ってこの現象は著しい。

一方、MOS型半導体装置やMOS型集積回路装置に於いて出力端子は、出力トランジスタのドレイン(又はソース)から外部電極引き出し用のボンディングパッドへ取り出されている。従ってこれら装置で出力トランジスタ'OFF'の状態では、出力端子に高電圧が印加された場合出力トランジスタは先に説明した破壊現象に晒されてしまふ。この為、MOS型半導体装置や集積回路装置では、装置の製造段階や装置完成後の取り扱いの際、出力端子にのる電荷や、装置動作中に出力端子にかかるサージ電圧の為、装置が破壊してしまふという不都合がしばしば発生する。またこの破壊現象は出力トランジスタばかりでなく増巾器内の特定トランジスタやアドレス・ラッチ回路の

トランジスタ等においてもしばしば生ずる。これらはMOS型半導体装置や集積回路装置の取り扱いを面倒にしているのみならず、装置自体の製造歩留りや信頼性を損なう大きな要因の一つとなっている。

この発明の目的は、MOS型半導体装置や集積回路装置に於ける上記の如き不都合を取り除く為の新しい構造を有する保護装置を提供することにある。

本発明の保護装置は被保護MOSトランジスタのドレイン（又はソース）に接続されたMOSゲートコントロールダイオードより成り、かつこのMOSゲートコントロールダイオードのP-N接合は半導体基体と同一導電型でかつ基体より不純物濃度の高い領域と、基体と反対導電型の領域との接合により形成された構造を有する。被保護MOSトランジスタが出力トランジスタの場合は本発明の出力保護装置を出力トランジスタのドレイン（又はソース）と外部電極引出用のボンディングパッドとの間に挿入するのが好ましい。

- 3 -

クダウン特性をNチャネル型の場合を例にとつて、第1図、第2図に示す。第1図は基体の不純物濃度 ( $N_D$ ) が  $1 \times 10^{15}/\text{cm}^3$  の場合の接合耐圧 ( $BV$ ) とゲート電圧 ( $V_G$ ) との関係を示し、膜厚 ( $T_{ox}$ ) をパラメータに示す。この時の基体電圧 ( $V_{ss}$ ) は  $-5V$  である。第2図は、 $T_{ox} = 1000 \text{ \AA}$ 、 $V_G = 0V$ 、 $V_{ss} = -5V$  の時の接合耐圧  $BV$  の基体不純物濃度  $N_D$  依存性を示す。これら第1図、第2図からも明らかな様に、例えば  $N_D = 1 \times 10^{15}/\text{cm}^3$  のP型シリコン半導体基体上に作製されたゲートSiO<sub>2</sub>膜厚  $T_{ox} = 1000 \text{ \AA}$  を有するNチャネルMOS型半導体装置に、同一基体上の  $1 \times 10^{15}/\text{cm}^3$  のP型領域に形成され  $T_{ox} = 1000 \text{ \AA}$  を有する本発明のゲートコントロールダイオード型保護装置を適用することにより、以下の如き効果が得られる。

即ち第2図で、被保護トランジスタが'OPF'の状態ではこのトランジスタのドレイン（又はソース）のブレイクダウン電圧はA点  $BV = 25V$  に対応し、一方保護用ゲートコントロールダイオード

特開 昭51-147972 (2)

既に公知の様に、MOS型半導体装置や集積回路装置ではMOSトランジスタのソース、ドレイン拡散領域やチャネル領域として動く半導体基体表面の能動領域部分以外の基体表面に基体と同一導電型でかつ基体より不純物濃度の高い拡散又はイオン打込領域を設けることにより、フィールドの反転閾値電圧を上げ寄生MOS効果を防止するという工夫がしばしば施されている。この様な装置に於いてはゲートコントロールダイオードのP-N接合を反転層防止用の高不純物濃度領域とMOSトランジスタのソース・ドレインと同時に形成した反対導電型領域との間に設ければよいから工程を追加・変更することなく容易に実現できる。またシリコンゲートMOSトランジスタのようにゲート膜厚が1000オングストローム以下のものの破壊防止に本発明はとくに効果がある。

次に図面を参照しつつ本発明の原理および実施例を詳細に説明する。

一般にシリコン半導体基体上に作製されたゲートコントロールダイオードのP-N接合プレー

- 4 -

ドのブレイクダウン電圧はB点  $BV = 18V$  に対応する。従つて被保護トランジスタの耐圧と保護装置の耐圧とに7Vの差をつけることが可能であり又これら2種の耐圧はいづれもP-N接合のゲート電極によつて制御された表面ブレイクダウンという同一機構を用いている為ブレイクダウンの時定数にも差は無い。よつて本発明装置では、出力端子にのる好ましくない電荷や電源サージ等による高電圧は保護装置によつて首尾よく遮断され、被保護トランジスタに伝わることはない。こうして本発明の保護装置を備えたMOS型半導体装置や集積回路装置ではトランジスタの破壊現象を防止できるので、装置製造歩留りや信頼性の大巾な向上が達成される。

次に本発明の実施例につき第3図および第4図を参照しながら詳しく説明する。

第3図、第4図はそれぞれ本発明を適用したNチャネルMOS型半導体装置の出力部~~の出力部~~を示す回路図、断面模型図である。

第3図に示すように出力MOSトランジスタT1

- 5 -

- 408 -

- 6 -

のドレインにM<sub>0</sub>ゲートコントロールダイオードより成る出力保護装置D1の一端を接続しその他端すなわちゲート端子は接地する。T1のドレインと出力端子UTとの間には図示のようにインピーダンス素子Zを接続しても差支えない。このような回路は、たとえば第4図に示すように比抵抗約 $10\Omega\text{-cm}$ のP型シリコン半導体基体1の一主平面に近接してリンを拡散して出力トランジスタT1のソース2、ドレイン3、保護ゲートコントロールダイオードD1のN型拡散領域4となるN型領域(その表面リン濃度は約 $10^{19}/\text{cm}^2$ である)を形成し、さらにゲートコントロールダイオードの領域4とPN接合を形成する表面濃度約 $10^{18}/\text{cm}^2$ のP型拡散領域5をボロンを拡散して形成し(このP型領域5はフィールド反転防止用としても機能する)、出力トランジスタT1及び保護ゲートコントロールダイオードD1のゲート810、膜6及び6'をシリコン基体1の高温熱酸化法によつて膜厚約 $1000\text{\AA}$ に形成し、フィールド810、膜7を約 $1\mu$ の厚さに熱酸化法で

- 7 -

ド反転閾値電圧は3.5V、領域2、3と基体1間のPN接合のバルク耐圧は60V、領域4と5間のPN接合のバルク耐圧は3.5Vであつた。この様な諸特性を有する本発明装置は、出力端子にのる好ましくない電荷や動作時に出力端子にかかるサージ電圧に対し優れた安定性を示し、出力トランジスタの破壊は生じなかつた。

なお、先に出版した特願昭49-81471号明細書に記載したように、ゲートコントロールダイオードの耐圧はそのゲートに被保護MOSトランジスタのゲート印加電圧に対して逆極性の電圧を加えることによつても被保護MOSトランジスタの耐圧より低くすることができる。したがつて本実施例においてゲートコントロールダイオードD1のゲート9の電極13を接地する代りに、マイナス電源たとえば-5Vが印加されている基体1に接続すればMOSトランジスタT1との耐圧の差をいづれ大きくすることができる。このようにゲートコントロールダイオードのゲートに上述のような逆極性の電圧を加えることも本

- 9 -

特開昭51-147972(3)  
設けて形成する。また810、の熱分解により多結晶シリコン層8、9を形成してそれぞれ出力トランジスタT1、保護ゲートコントロールダイオードD1のゲート電極とし、アルミニウム蒸着膜で出力トランジスタT1のソース2に接続する電極配線路10、出力トランジスタT1のゲート8に接続するゲート電極配線路11、出力トランジスタのドレイン3と保護ゲートコントロールダイオードのN型拡散領域4との両方に接続する共通電極配線路12、保護ゲートコントロールダイオードのゲート9に接続する電極配線路13をそれぞれ形成する。この例では出力トランジスタのソース2と保護ゲートコントロールダイオードのゲート9は共に接地されている。この実施例の装置では基体1の電圧-5Vの時、出力トランジスタT1のゲート8がGNDの状態ではドレイン3と基体1間のN-P接合のブレイクダウン開始電圧<sup>は</sup>2.5V、一方保護ゲートコントロールダイオードD1の領域4と5間のN-P接合のブレイクダウン開始電圧は1.8Vであつた。又フィールド

- 8 -

発明は包含するものである。

上述の実施例は単に例示の爲のものであり、本発明はこれに限定されるものではない。例えば上記実施例ではNチャンネルシリコンゲートMOS型半導体装置の場合につき説明したが、Pチャンネル型、アルミゲート型MOS半導体装置、その他一般の絶縁ゲート型電界効果半導体装置にも同様に適用できる。又シリコン半導体基体や拡散領域の不純物濃度、各部の810、膜厚や保護ゲートコントロールダイオードのゲート電位等を変えることもできるし、更に装置各部の材料や製法の変更も可能である。また拡散によつて形成された領域の代りにイオン打込等によつて形成された領域を用いることもできる。このようにこの明細書の請求範囲に記載された如き、この発明の精神と範囲とを逸脱することなく種々の改変をなすことができる。

図面の簡単な説明

第1図はゲートコントロールダイオードの接合耐圧とゲート電圧、第2図は接合耐圧と基体不

- 409 -

- 10 -

純物濃度との関係をそれぞれ示す実験データ図である。第3図は本発明装置の実施例を示す回路図、第4図はその断面図である。

1...P型シリコン半導体基体、2、3、4...N型拡散領域、5...P型拡散領域、6...ゲートSiO<sub>2</sub>膜、7...フィールドSiO<sub>2</sub>膜、8、9...トランジスタとゲートコントロールダイオードの多結晶シリコンゲート電極、10、11、12、13...アルミニウム電極配線路。

代理人 弁理士 内 原

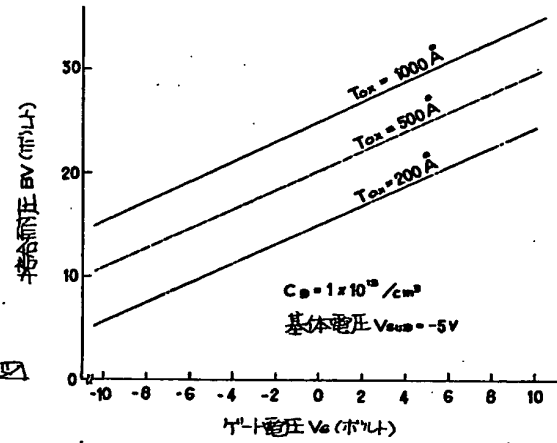


図1

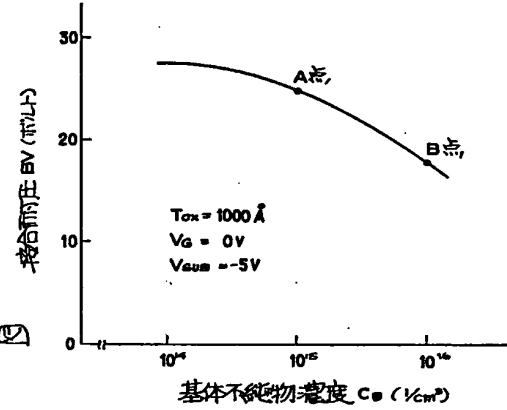


図2

- 11 -

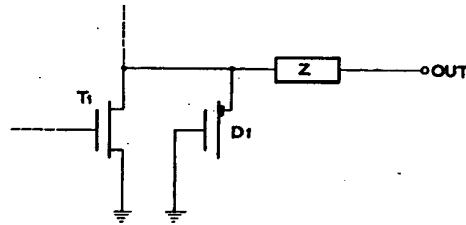


図3

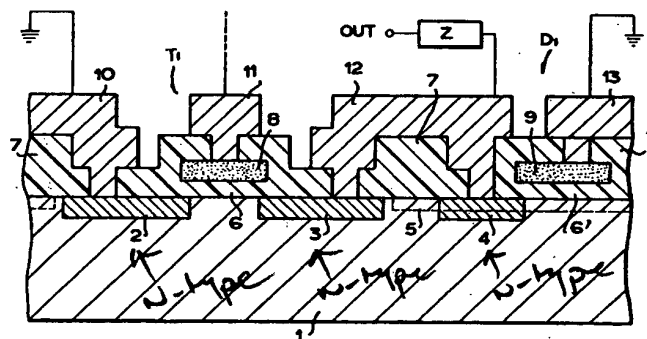


図4

CLIPPEDIMAGE= JP351147972A

PAT-NO: JP351147972A

DOCUMENT-IDENTIFIER: JP 51147972 A

TITLE: INSULATED GATE FIELD EFFECT SEMICONDUCTOR DEVICE

PUBN-DATE: December 18, 1976

INVENTOR-INFORMATION:

NAME

KIKUCHI, MASANORI

INOUE, TAIICHI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP50071767

APPL-DATE: June 13, 1975

INT-CL (IPC): H01L029/78;H01L029/90 ;H01L027/04 ;H03F001/00

ABSTRACT:

PURPOSE: To prevent the surge voltage destruction in case of applying a high voltage on the output terminal by connecting a gate control diode to the drain or the source of MOSFET.

COPYRIGHT: (C)1976,JPO&Japio